**第二章**

1、ARM处理器3大特点：

小体积、低功耗、成本低、高性能

16位／32位双指令集 全球众多合作伙伴

2、ARM微处理器系列

* ARM7系列：Thumb指令集，三级流水线，ARM7TDMI
* ARM9系列：DSP处理能力，ARM920T，ARM922T，ARM940T
* ARM9E系列
* ARM10E系列：增强的DSP处理能力
* ARM11系列
* SecurCore系列：提供安全解决方案
* Cortex系列：A系列（高端），M系列（MCU），R系列（专用）
* StrongARM（Intel）：ARMV4体系结构
* Xscale（Intel） ：ARMV5体系结构，融合了Pemtium性能

3、ARM核分类及体系结构版本变化

ARM核分为两类： 处理器核： 不可直接使用，需要添加外围设备

CPU核： 可直接使用

体系结构版本变化

版本 v1 -> v7 增加重要的特点

**D**：支持片上调试

**I**：提供片上断点和调试点支持

4、ARM处理器内核命名规范：

ARM {x} {y} {z} {T} {D} {M} {I} {E} {J} {F} {-s}

{x} : 表示系列号

{y} : 表示内部存储管理和保护单位

{z} : 表示含有高速缓存(Cache)

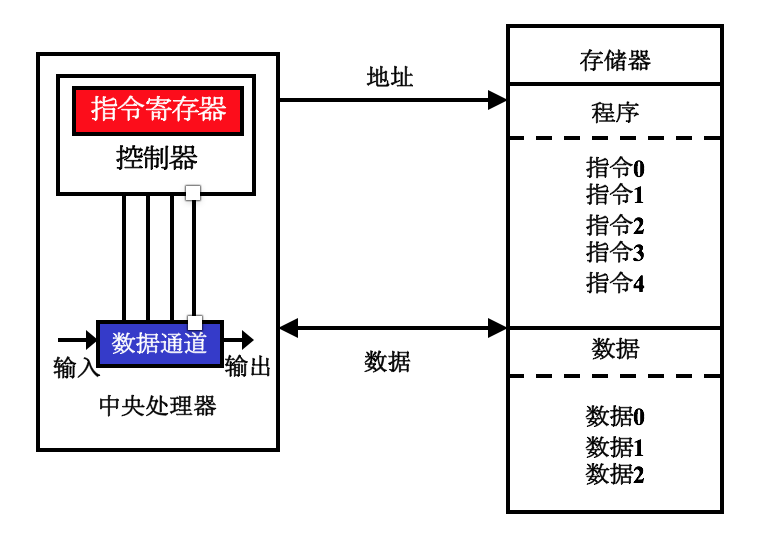
5、处理器的组成结构

处理器组成：ALU+Controler+register

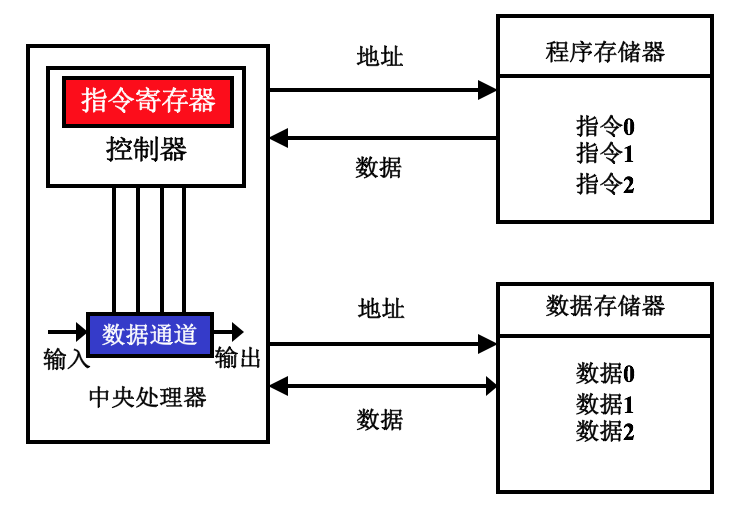
CISC(复杂指令集)：具有大量指令和寻址方式；8/2原则；指令长短不一

RISC(精简指令集) : 数据通道中只包含最有用的指令

冯诺伊曼体系结构：只有一个主存储器，主存储器里可存放数据也可存放指令，只有一种访问之存储器的指令。 用于ARM7

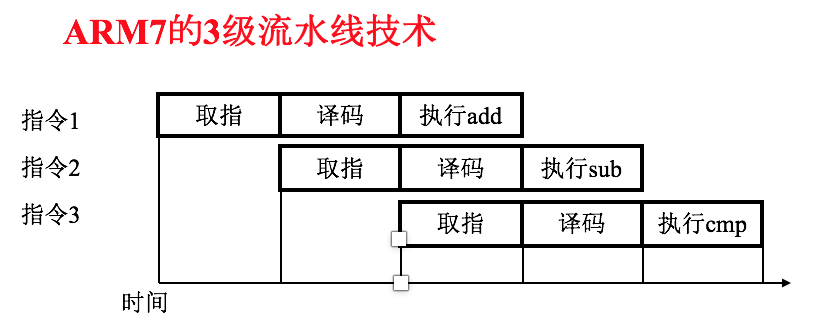


哈佛体系结构：存储器分为两部分，一部分存放指令，另一部分存放数据，有用各自的地址空间和访问指令，可以分辨独立访问。 用于ARM9及以上系列



流水线结构：

一个指令周期含有4～6个时钟脉冲，非流水线结构是在一个指令周期完成以后再接受下一条处理数据的指令；而流水线结构，每个时钟脉冲都接受下一条处理数据的指令，只是不同的部件做不同的事情。提高了系统处理数据的速度和系统效率。



6、ARM处理器的工作模式

\*当处于用户模式时，不能访问一下被保护的系统资源，也不能改变模式

处于特权模式时,可自由访问系统资源和改变模式

改变模式方法 : 用指令将特定的位序列写入到CPSR的M[4:0] 字段

7、ARM处理器工作状态

ARM状态：32位的ARM指令集，字对齐取值执行ARM指令

Thumb状态：16位的Thumb指令集，半字对齐取值执行Thumb指令

\* Jazell状态：

使用转移指令(BX)可从一种工作状态转移到另一种工作状态

8、ARM寄存器组织

37个32位寄存器，其中31个通用寄存器(R0 ~ R15)，6个状态寄存器。

状态寄存器功能： 保存ALU当前操作信息 设置处理器操作模式

控制允许和禁止中断

影子寄存器：为处理器的不同工作模式配备的专用物理寄存器，在异常模式下，将代替用户或系统模式下使用的部分寄存器，为了快速处理事件。

9、ARM存储器的存储模式

小端模式：低地址中存放字数据的低字节，高地址中存放字数据的高字节

大端模式：低地址中存放字数据的高字节，高地址中存放字数据的低字节

10、ARM存储体系

11、ARM处理器的MMU不见主要完成以下工作：

虚拟地址到物理地址的映射

控制存储器访问权限

设置虚拟存储空间的缓冲特性

12、ARM处理器的Cache：

Cache是位于主存储器与CPU之间的一块高速存储器，存储CPU最近使用的取自主存储器的指令和数据副本

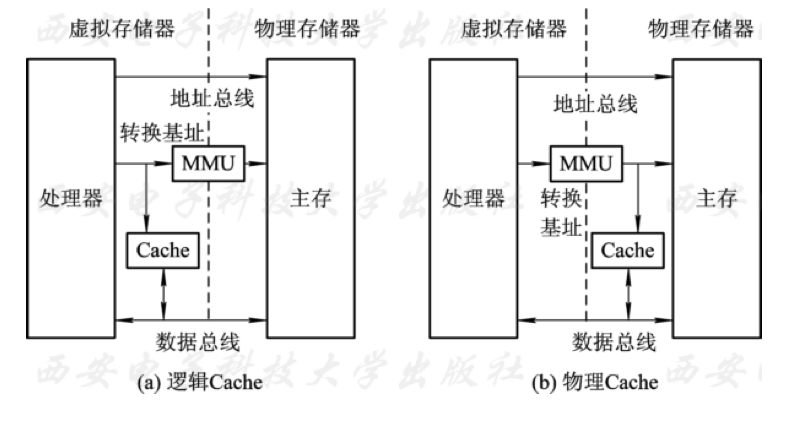
Cache分类：

统一Cache（冯诺伊曼体系结构）

分离Cache（哈佛体系结构）

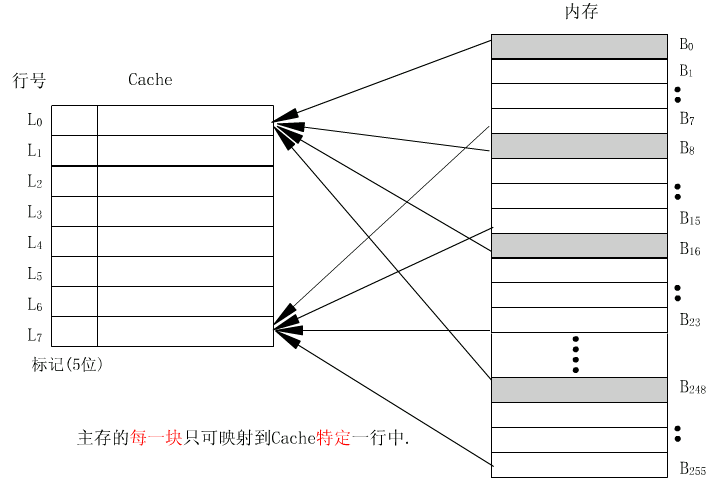
逻辑Cache：Cache放在处理器内核与MMU之间

物理Cache：Cache放在MMU与物理存储器之间

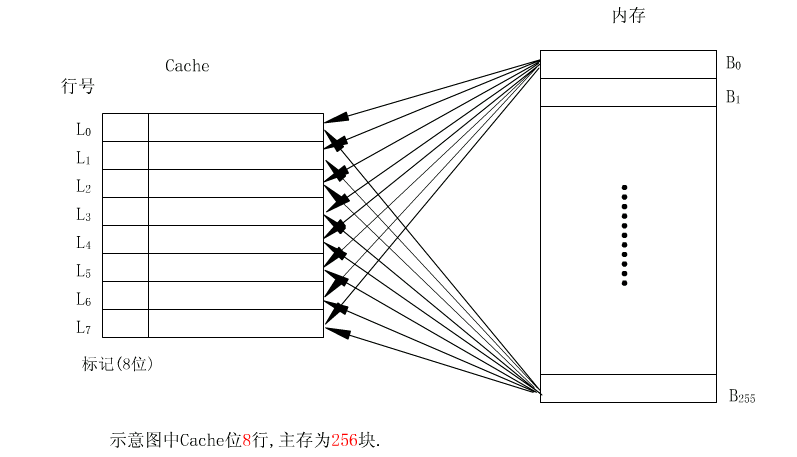


13、ARM处理器Cache的地址映射

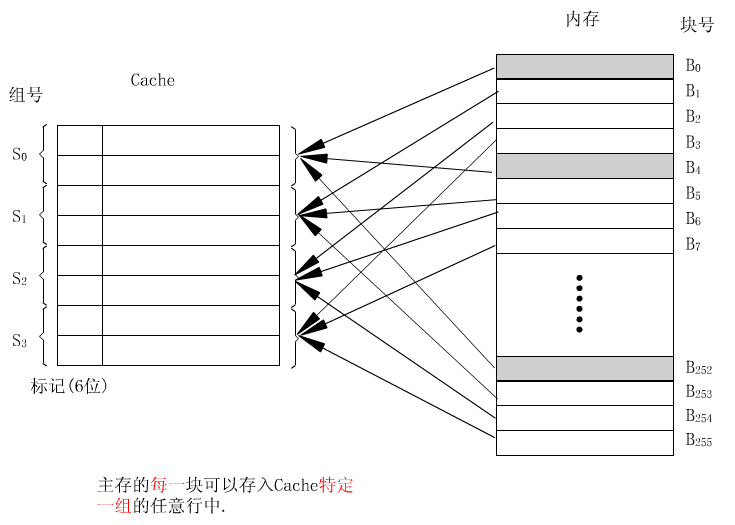
直接相联映射



全相联映射



组相联映射



14、Cache的替换策略

随机法：简单，易于硬件实现，失效率高

先进先出法（FIFO）

最近最少使用策略（LRU）：失效率低，硬件成本高

15、快速上下文切换扩展

作用：加快进程切换速度，减小切换开销

原理：FCSE部件将重叠的各进程虚拟空间变换成不同的虚拟空间，避免了进行进程间切换时造成的虚拟地址到物理地址的重映射，从而提高了系统性能

15、MMU地址变换机制

* 管理单位：内存块、段、大页、小页
* 段 —— 一级页表 、 页 —— 二级页表
* 以段地址映射
* CP15的C2前18位 –> 页表的基地址
* CPU给出虚拟地址（前12位）–> 页表偏移量，描述符
* 描述符( 0 , 1 )说明段表
* 描述符高12位 –> 段物理地址基地址
* VA的低20位为偏移量 –> 找到物理地址

16、写缓存区

用途：当处理器输出数据时，若总线恰好被占用而无法输出，可以把输出数据写入到写缓存区，当总线上没有比写缓存区优先级更高的掌控者时，写缓存区可以通过总线将数据写入内存；

写缓存区改善了Cache的性能；写缓存区的FIFO深度通常比较小，只有几个Cache行的深度；每一个写缓寄存器包括一个32位数据字段、一个28位地址字段和一个2位状态字段；

17、桶型移位器（ALU算术逻辑部件）

用途：在一个时钟周期内能够进行字宽限度之内之内任意位数移位或循环移位操作

ARM的桶型移位器有32位，置于ALU的操作数入口之前

18、看门狗定时器（专用计数器）

用途：用来引导嵌入式微处理器脱离死锁工作状态的部件

原理：系统启动后，初始化程序向看门狗的计数寄存器写入计数初值，每经过一个预定的时间间隔看门狗执行一次计数（加一或减一），设备正常工作，看门狗的计数寄存器设定的计数值计满后，程序重置看门狗的计数寄存器的计数初值，继续计数，就这么循环下去。假如系统发生故障，必定导致看门狗计数器计满后不能重置计数初值，计数溢出后，看门狗将产生一个复位信号并重新复位系统。

19、边界对准方式访问内存有何优点

从主存储器的双字节以上的边界地址进行读写

实现高速传输

使硬件简单

20、地址重映射

什么是地址的重映射？

将SDRAM地址空间迁移到0地址开始处，将Flash ROM的地址空间迁移到系统存储器的高端地址。

为什么要进行地址的重映射？

Flash ROM的读出速度慢，以后每次中断时都要读取ROM上的中断向量，这严重影响了中断速度

地址重映射机制的2种情况：

1）处理器内部专门的寄存器可以完成重映射

2）微处理器中没有专门的重映射控制寄存器，需要重新改写处理器内部用于控制内存起止地址的Bank寄存器来实现重映射

21、片上总线标准AMBA的3种总线

1) 高性能片上总线（AHB）：用于高性能、高数据吞吐部件；

更宽的数据总线宽度(最低32位，最高可达1024位)

2）片上系统总线（ASB）：用于连接高性能系统模块，支持突发数据传输方式

支持的典型数据宽度为8位、16位、32位

3）先进外围片上总线（APB）：为系统的低速外部设备提供低功耗的简易互连，易于使用

什么是总线？

构成计算机系统的互联机构，是多个系统功能部件之间进行数据传送的公共通路

CPU内部连接各寄存器及运算部件之间的总线，称为内部总线。

CPU同计算机系统的其他高速功能部件，如存储器、通道等互相连接的总线，称为系统总线。

中、低速I/O设备之间连接的总线，称为I/O总线。

22、接口

* I/O接口－CPU、主存和外围设备之前通过系统总线进行连接的标准化逻辑部件。
  + 实现高速CPU与低速外围设备之前工作速度上的匹配和同步，完成计算机和外设之前的所有数据传送和控制的电路。
  + I/O接口模块有两个接口：和系统总线接口，CPU和I/O接口模块的数据交换一定是并行方式；和外设的接口。 I/O接口模块和外设的数据交换可能是并行方式式，也可能是串行方式。
  + I/O接口模块分为串行数据接口和并行数据接口。

23、主控单元和从动单元

主控单元：可以向总线发送请求并且对传输进行初始化

例：对存储器进行读／写操作

典型：CPU、DSP、DMAC

从动单元：接受命令并作出反应的模块

典型：片上存储器、桥接电路、外部设备、片外存储器

\*主控单元和从动单元都有自己唯一的地址

24、I/O口端口统一编址与特殊功能寄存器

1）独立编址法：存储器地址空间和I/O端口地址空间分别编址

2）统一编址法：I/O地址空间与主存地址空间合在一起编址

3）混合编址法：缓存+I/O与存储器分别编址

特殊功能寄存器（SFR）：按照存储单元寻址的寄存器